

542,606

10 Rec'd U.S. 18 JUL 2005

(12)特許協力条約に基づいて公開された国

(19)世界知的所有権機関  
国際事務局(43)国際公開日  
2004年9月30日 (30.09.2004)

PCT

(10)国際公開番号  
WO 2004/084062 A1

(51) 国際特許分類: G06F 7/04, H04L 7/08, G11B 20/14, H04N 7/24

(21) 国際出願番号: PCT/JP2004/001894

(22) 国際出願日: 2004年2月19日 (19.02.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ: 特願2003-044407 2003年2月21日 (21.02.2003) JP

(71) 出願人(米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1410001 東京都品川区北品川6丁目7番35号 Tokyo (JP).

(72) 発明者: および

(75) 発明者/出願人(米国についてのみ): 大竹 裕之 (OTAKE, Hiroyuki) [JP/JP]; 〒2400005 神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内 Kanagawa (JP).

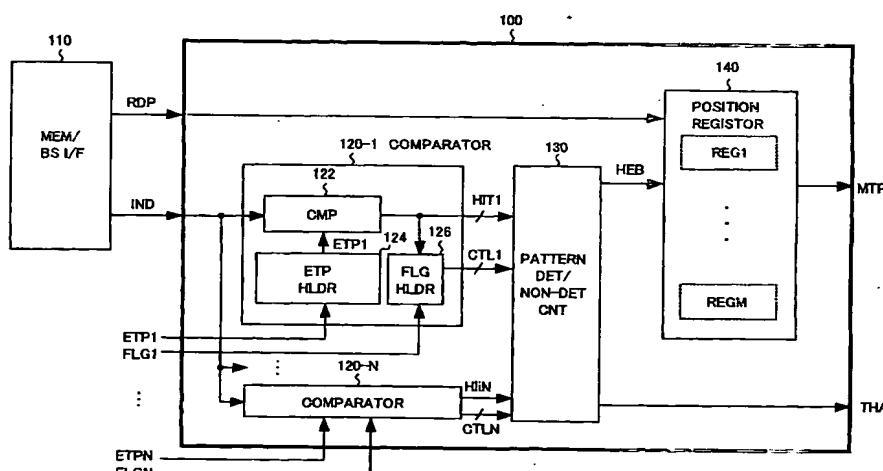
(74) 代理人: 佐藤 隆久 (SATOH, Takahisa); 〒1110052 東京都台東区柳橋2丁目4番2号 創進国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NL

[統葉有]

(54) Title: PATTERN DETECTION DEVICE

(54) 発明の名称: パターン検出装置



(57) Abstract: It is possible to realize a pattern detection device for detecting a pattern according to a comparison result between detection object data and an entry pattern by saving a hardware resource holding the detection pattern and the detection position and reducing the processing overhead after the pattern detection. The pattern detection device compares, in a comparator (122), the entry pattern (ETP) held by an entry pattern holding section (124) and data input from outside of the pattern detection device. If they are matched, a hit signal (HIT) indicating the matching is output. A flag holding section (126) outputs a flag signal (FLG) held when the hit signal (HIT) is output, as a control signal (CTL) to a pattern detection/non-detection control section (130). According to the hit signal (HIT) and the control signal (CTL), the pattern detection/non-detection control section (130) outputs a holding enable signal (HEB) for holding the data indicating the position of the data detected. A detection position registration section (140) includes registers corresponding to the number of detection objects and a read pointer (RDP) applied according to the holding enable signal (HEB) is stored in the corresponding register.

(57) 要約: 検出対象データとエントリー・パターンとの比較結果に応じてパターン検出を行う場合、検出パターンと検出位置を保持するハードウェアリソースを適切にでき、パターン検出後の処理のオーバーヘッドを削減できるパターン検出装置を実現する。当該パターン検出装置は、比較器(122)において、エントリー・パターン保持部(124)に保持されたエントリー・パターン(ETP)と、パターン検出装置の外部か

WO 2004/084062 A1

[統葉有]



NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU,

添付公開書類:  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

ら入力されたデータとを比較し、一致しているとき一致を示すヒット信号 (HIT) を出力する。フラグ保持部 (126) はヒット信号 (HIT) が出力されたとき保持したいるフラグ信号 (FLG) を制御信号 (CTL) としてパターン検出／非検出制御部 (130) に出力する。パターン検出／非検出制御部 (130) は、ヒット信号 (HIT) および制御信号 (CTL) に従って、検出されたデータの位置を示すデータを保持させるための保持イネーブル信号 (HEB) を出力する。検出位置登録部 (140) には、検出対象の数に対応するレジスタを有し、保持イネーブル信号 (HEB) に応じて印加される読み出しポインタ (RDP) を対応するレジスタに保存する。

## 明細書

### パターン検出装置

#### 技術分野

本発明は、パターン検出装置に関する。特に本発明は、メモリに記憶されているデータまたは外部から入力されるデータに、所定のパターンをもつデータが存在するか否かを検出する（検索する）パターン検出装置（パターン検索装置）に関する。

#### 背景技術

たとえば、特開平5-76056号公報、特開平7-37326号公報、特開平9-321726号公報は、検索対象のデータに所定のパターンをもつデータが存在するか否かを検出するパターン検出回路（パターン検索装置）において、通常、検出（検索）の対象となるパターン（以下、検索対象パターンまたはエントリーパターンと表記する）を用いて、メモリ空間に記憶されているデータについて検索対象パターンと一致するか否かを行うパターンマッチングを行うマッチング法を開示している。

パターンマッチング法では、検出対象となるデータが記憶されているメモリ空間に、読み出しアドレスを移動しながら順次データを読み出しエントリーパターンと一致するか否かを比較する。一致したときの読み出しアドレスが検出位置（またはマッチポジション）として記憶手段に記憶される。このマッチポジションは、エントリーパターンと同じ配列をもつデータがメモリ空間のどの位置に存在するかを示すもので、その後の処理において、当該マッチポジションを目印に所望のデータ処理が行われる。

一般的なパターン検出回路には、比較回路と検出位置登録回路が含まれている

システムレーヤとして、複数種類のシステム識別コード（ストリームID）が規定され、またビデオレーヤとして複数の開始コード（スタートコード）が規定されている。

システムレーヤの検出において、検出したストリームIDをエントリーパターンとして用いて、パターン検出が行われる。また、ビデオレーヤの検出においては、検出したいスタートコードをエントリーパターンとして用いて、パターン検出が行われる。

ところで、上述した従来のパターン検出回路を用いてMPEGに準じて生成したビットストリームに対して、システムレーヤのストリームID及びビデオレーヤのスタートコードを検出するとき、まずデータ[0x000001]をエントリーパターンとして、ビットストリームを順次メモリから読み出して、パターン検出が行われる。そして、データ[0x000001]の検出に引き続き、1バイトのコード、例えば、システムレーヤのストリームIDまたはビデオレーヤのスタートコードをエントリーパターンとして、パターン検出が行われる。このため、マッチポジションを記憶するために多くのレジスタまたはメモリが必要となり、また、エントリーパターンを記憶すること自体に、非常に多くのハードウェアリソースを必要とする。

さらに、従来のパターン検出回路において、ヒットするたびに逐次処理を行うことにより、マッチポジションを保持するためのハードウェアリソースを削減できるが、パターン検出とヒット後の条件分岐に対するオーバーヘッドが大きくなる。このオーバーヘッドを削減するために、ある程度まとまった単位でのパターン検出が必要となる。しかし、これを達成するために、パターン検出回路において検出対象となるメモリ空間をある程度まとめてパターン検出を行う仕組みが必要となるが、通常これを備えていないため、パターン検出のオーバーヘッドの削減が実現できないという不利益がある。

。比較回路において、検索対象のメモリ空間から記憶データが順次読み出され、読み出したデータとエントリーパターンとが一致するか否かが比較される。そして、比較対象が一致したとき比較回路から検出一致信号（ヒット信号）が出力される。検出位置記憶回路は、レジスタ、メモリなどで構成されており、上記比較回路からヒット信号を受けたとき、検索位置、すなわち、そのときの読み出しアドレスまたは所定の基準位置からのカウント値をレジスタ、メモリなどに保持する。

従来の方法では、広大なメモリ空間にエントリーパターンと一致するデータが存在する場合において、検索の結果、エントリーパターン（検索対象パターン）と一致し、ヒット信号が出力するごとにその検出位置を記憶しなければならないため、それだけのビット幅を持つレジスタまたは大容量のメモリを用意する必要がある。

たとえば、 $2^n$  のメモリ空間に記憶されているデータについてパターン検出を行う場合、ヒット信号の数分のビット幅を持つレジスタまたはヒット信号の数分の容量のメモリが必要となる。具体的には、マッチポジションの登録数が  $m$  個とした場合、合計  $2^n \times m$  のビット幅を持つレジスタまたは合計  $2^n \times m$  アドレス分のメモリが必要になる。 $n$  と  $m$  が増加するにつれて、マッチポジションを記憶するのに必要なレジスタまたはメモリなどハードウェア資源（リソース）の量もそれだけ増加する。

たとえば、動画像および音声信号を圧縮符号化する標準規格の一つであるMPEGにおいて、圧縮符号化されたデータ系列（以下、ビットストリームまたはデータストリームと称する）におけるパターン検出は、システムレーヤ及びビデオレーヤにおいてそれぞれ行われる。

MPEGのビットストリームは、たとえば、図3Aおよび図4～図7に例示したように、先頭に3バイトの識別コード [0x000001] に続き、1バイトのコードとしてシステムレーヤ、またはビデオレーヤごとに設けられている。シ

## 発明の開示

本発明は、かかる事情に鑑みてなされたものであり、その目的は、パターンマッチングにより検索対象となるメモリ空間から所望のパターンをもつデータを検出する場合、検出パターン及び検出位置を記憶するためのリソースを節約でき、パターン検出後の処理のオーバーヘッドを削減できるパターン検出回路を提供することにある。

上記目的を達成するため、本発明のパターン検出回路は、検出対象となるエントリーパターンを記憶する検出パターン記憶手段と、上記各エントリーパターンに対応するフラグ信号を記憶するフラグ記憶手段と、入力されるデータと上記検出パターン記憶手段に記憶されているエントリーパターンとを比較する比較手段と、上記比較手段による比較の結果、上記入力データと上記エントリーパターンとが一致したとき、上記フラグ記憶手段に記憶されている当該エントリーパターンに対応するフラグ信号に応じて、上記検出位置を記憶する検出位置記憶手段とを有する。

また、本発明では、好適には、上記比較手段によって上記入力データと上記エントリーパターンとが一致すると判断した場合、上記エントリーパターンに対応する上記フラグ信号が検出位置を記憶することを示すとき、パターン検出窓信号をアクティブ状態に設定し、上記エントリーパターンに対応する上記フラグ信号が検出位置を記憶しないことを示すとき、上記パターン検出窓信号を非アクティブ状態に設定する検出位置記憶制御手段をさらに有する。

また、本発明では、好適には、上記検出位置記憶手段は、上記パターン検出窓信号がアクティブ状態にあるとき、上記エントリーパターンの検出位置を記憶し、上記パターン検出窓信号が非アクティブ状態にあるとき、上記エントリーパターンの検出位置を記憶しない。

さらに、本発明では、好適には、上記入力データは、MPEG規格に従って圧縮符号化された画像データ及び音声データであり、上記エントリーパターンは、

上記圧縮符号化されたデータに含まれているパケットの先頭を示す識別データに応じて設定される。

本発明によれば、検索対象のエントリーパターンごとにフラグ信号が設定される。比較手段によって入力データとエントリーパターンとが比較され、当該比較の結果、入力データがエントリーパターンと一致する場合、当該エントリーパターンに対応するフラグ信号が有効であるか否か、即ち、当該フラグ信号が検出位置の記憶を示しているか否かに従って、検出位置の記憶を示すとき、エントリーパターンと検出位置が記憶され、逆に、フラグ信号が検出位置を記憶しないことを示すとき、検出位置の記憶が行われない。このため、登録する必要な検出位置を予め指定することが可能となり、検出位置を記憶する記憶手段のリソースを効率よく利用することが可能である。

#### 図面の簡単な説明

図1は、本発明に係るパターン検出回路の一実施形態を示す構成図である。

図2は、本実施形態のパターン検出回路にあるパターン検出／非検出制御部の構成を示す構成図である。

図3A～図3Cは、MPEG規格に準じて圧縮符号化されたデータストリームの一例を示す図である。

図4は、MPEG規格におけるシステムレーヤのストリーム識別番号を示す図である。

図5は、MPEG規格におけるビデオレーヤのスタートコードの例を示す図である。

図6は、各レーヤのスタートコードを検出するためのエントリーパターンの例を示す図である。

図7は、それぞれのエントリーパターン及びそれに対応するフラグ信号の例を示す図である。

## 発明を実施するための最良の形態

以下、本発明の実施の形態について図面を用いて詳しく説明する。

図1は本発明に係るパターン検出装置の一実施形態を示す構成図である。

図示のように、本実施形態のパターン検出装置100は、複数の比較部120-1, …, 120-N (N>0、Nは整数)、パターン検出／非検出制御部130、および、検出位置登録部140を有している。

図1において、メモリ／ビットストリームインターフェース(MEM/BS-I/F: Bitstream I/F、以下、メモリ/BS-I/F)110は、パターン検出装置100に、たとえば、記憶手段から読み出した、入力データINDと読み出しポイントRDPを提供する。入力データINDとしては、たとえば、図3Aに図解したMPEGで符号化されたビデオ信号であり、読み出しポイントRDPとしては、そのビデオ信号のアドレスなどである。

以下、本実施形態のパターン検出回路100の構成について説明する。

複数の比較部120-1～120-Nは各々同じ構成を有する。このため、図1では、代表して、第1比較部120-1の内部構成のみ示している。第1比較部120-1は、比較器122、検索対象パターンまたはエントリーパターンETP1を保持するエントリーパターン保持部124、および、フラグFLG1を保持するフラグ保持部126を有している。

比較部120-1～120-Nの個数は、検索の対象となるエントリーパターンETP1～ETPNと一致している。エントリーパターンETP1～ETPNとフラグFLG1～ETPNとは、たとえば、エントリーパターンETP1とフラグFLG1のように、1対1で対応している。

エントリーパターンETP1～ETPNは、入力データINDに含まれるデータのうち検索(検出)の対象となるパターンである。エントリーパターンETP1～ETPNの詳細な例示は、図3Aを参照して述べる。

フラグFLG1～～FLGNの各々は、エントリーパターンETP1～ETPNに対応しており、たとえば、図7を参照して詳述するように、図2に図解したパターン検出／非検出制御部130におけるセット・リセットフリップフロップ133のセット用信号であるセットデータSETと、リセット用信号であるリセットデータ（またはクリアデータCLR）からなる。

比較器122は、パターン検出装置100の外部のメモリ／BS-I／F110から入力される入力データINDと、エントリーパターン保持部124から入力される第1エントリーパターンETP1とを比較し、当該比較の結果に応じて、第1ヒット信号HIT1を出力する。たとえば、比較器122は、入力データINDとエントリーパターンETP1とが一致していれば、たとえば、ハイレベル(1)のヒット信号HIT1を出力し、不一致の場合はローレベル(0)のヒット信号HIT1を出力する。

エントリーパターン保持部124は、パターン検出装置100の外部から入力される第1エントリーパターンETP1を記憶し、記憶している第1エントリーパターンETP1を読み出して比較器122に出力する。

フラグ保持部126は、パターン検出装置100外部から入力される第1フラグ信号FLG1を保持し、比較器122の比較結果である第1ヒット信号HIT1がハイレベルのとき、保持している第1フラグFLG1を第1制御信号CTL1として出力する。制御信号CTL1は、フラグFLG1と同様、セット信号及びクリア信号からなる。

パターン検出／非検出制御部130において、比較部120-1～120-Nから出力される制御信号CTL1～CTLNに応じて、検出したマッチポジションの登録を制御するパターン検出窓信号PDWを生成する。パターン検出窓信号PDWの1例を図3Bに示す。

本実施形態のパターン検出装置100において、複数の比較部120-1～120-Nの各々は、上述したように、比較器122、エントリーパターン保持部

124およびフラグ保持部126によって構成されている。それぞれの比較部において、入力される入力データINDと保持されているエントリーパターンETP<sub>1</sub>～ETPNとの比較が行われ、その結果に基づきヒット信号HIT<sub>1</sub>～HIT<sub>N</sub>および制御信号CTL<sub>1</sub>～CTL<sub>N</sub>が出力される。すなわち、本実施形態のパターン検出装置100において、複数の比較部120-1～120-Nによって、複数(N個)のエントリーパターンETP<sub>1</sub>～ETPNを検出することが可能である。

なお、複数のフラグFLG<sub>1</sub>～FLGNはそれぞれ、対応するエントリーパターンETP<sub>1</sub>～ETPNについて、パターン検出窓信号PDWの生成ための制御情報を規定している。

パターン検出／非検出制御部130は、複数の比較部120-1～120-Nからのヒット信号HIT<sub>1</sub>～HIT<sub>N</sub>および制御信号CTL<sub>1</sub>～CTL<sub>N</sub>に応じて、保持イネーブル信号HEBを生成して、メモリ／BS-I／F110から出力される読み出しポインタRDPを記憶(登録)する検出位置登録部140に出力する。

図2はパターン検出／非検出制御部130の一構成例を示している。

パターン検出／非検出制御部130は、ORゲート131、132-1、132-2、リセット・セット型(RS)フリップフロップ133、およびANDゲート134を有している。

ORゲート131は、複数の比較部120-1～120-Nから出力される複数のヒット信号HIT<sub>1</sub>～HIT<sub>N</sub>の論理和(OR)を演算し、その結果、複数のヒット信号HIT<sub>1</sub>～HIT<sub>N</sub>のうち1つでもハイレベルのヒット信号があれば、たとえば、ハイレベル(1)のヒット信号HITをANDゲート134に出力する。他方、ORゲート131は、複数のヒット信号HIT<sub>1</sub>～HIT<sub>N</sub>の全てがローレベルのときは、ローレベル(0)のヒット信号HITを出力する。

ORゲート132-1は、複数の比較部120-1～120-Nから出力され

る複数の制御信号CTL<sub>1</sub>～CTL<sub>N</sub>に含まれている複数のセット信号SET<sub>1</sub>～SET<sub>N</sub>の論理和を演算し、演算結果、複数のセット信号SET<sub>1</sub>～SET<sub>N</sub>のうち1つでもハイレベルのセット信号があれば、たとえば、ハイレベル(1)のセット信号SETとして、RSフリップフロップ133のセット信号入力端子Sに入力する。他方、ORゲート132-1は、複数のセット信号SET<sub>1</sub>～SET<sub>N</sub>全てがローレベルのときは、ローレベル(0)のセット信号SETを出力する。

ORゲート132-2は、複数の比較部120-1～120-Nから出力される複数の制御信号CTL<sub>1</sub>～CTL<sub>N</sub>に含まれているクリア信号CLR<sub>1</sub>～CLR<sub>N</sub>の論理和を演算し、演算結果、クリア信号CLR<sub>1</sub>～CLR<sub>N</sub>のうち1つでもハイレベルのクリア信号があれば、たとえば、ハイレベル(1)をリセット信号RSTとして、RSフリップフロップ133のリセット信号入力端子Rに入力する。他方、ORゲート132-2は、クリア信号CLR<sub>1</sub>～CLR<sub>N</sub>の全てがローレベルのとき、ローレベル(0)のリセット信号RSTを出力する。

RSフリップフロップ133は、ORゲート132-1から入力されるセット信号SETおよびORゲート132-2から入力されるリセット信号RSTに応じて、パターン検出窓信号PDWを出力する。すなわち、RSフリップフロップ133は、ハイレベル(1)のセット信号SETがセット信号入力端子Sに印加されたときハイレベル(1)のパターン検出窓信号PDWを出力し、ハイレベル(1)のリセット信号RSTがリセット信号入力端子Rに印加されたときパターン検出窓信号PDWをローレベル(0)にする。

ANDゲート134は、ORゲート131からのヒット信号HITとRSフリップフロップ133からのパターン検出窓信号PDWの論理積を演算し、ヒット信号HITおよびパターン検出窓信号PDWが共にハイレベルのときのみ、ハイレベル(1)の保持イネーブル信号HEBを検出位置登録部140に出力する。

パターン検出／非検出制御部130において、複数の比較部120-1～12

0～Nの何れかからハイレベルのヒット信号が出力されると、ORゲート131によって、ハイレベルのヒット信号HITが出力される。また、複数の比較部120-1～120-Nの何れかからセット信号が出力されるとき、ORゲート132-1によってセット信号SETが出力される。これに応じて、RSフリップフロップ133より、アクティブ状態、例えば、ハイレベルのパターン検出窓信号PDWが出力される。パターン検出窓信号PDWがハイレベルに保持されている間、ORゲート131から出力されるヒット信号HITが、ANDゲート134を介して保持イネーブル信号HEBとして出力される。

一方、複数の比較部120-1～120-Nの何れかからクリア信号が出力されるとき、ORゲート132-2によってリセット信号RSTが出力される。これに応じて、RSフリップフロップ133より、非アクティブ状態、たとえば、ローレベルのパターン検出窓信号PDWが出力される。パターン検出窓信号PDWがローレベルに保持されている間、ANDゲート134の出力もローレベルに保持されるので、このときORゲート131から出力されるヒット信号HITが無視される（無効状態となる）。

次に、検出位置登録部140について説明する。

図1に示すように、検出位置登録部140は、複数のレジスタ1～レジスタMを有している。検出位置登録部140は、パターン検出／非検出制御部130からの保持イネーブル信号HEBに従って、メモリ／BS-I／F110から出力される読み出しポインタRDPを、エントリーパターンと一致したデータが存在した検出位置として、その登録を行う。具体的に述べると、検出位置登録部140において、パターン検出／非検出制御部130からの保持イネーブル信号HEBをモニタし、当該保持イネーブル信号HEBがアクティブ状態のハイレベルにあるとき、メモリ／BS-I／F110から出力される読み出しポインタRDPを、順次、レジスタ1～レジスタMに記憶する。

上述したように、パターン検出／非検出制御部130において、複数の比較器

120-1～120-Nからの複数のヒット信号HIT1～HITNおよび複数の制御信号CTL1～CTLNに応じて保持イネーブル信号HEBが生成され、検出位置登録部140に供給される。その結果、制御信号CTL1～CTLNに含まれるセット信号SET1～SETNとクリア信号CLR1～CLRNに応じて生成されるパターン検出窓信号PDWがハイレベルで、複数の比較器120-1～120-Nからのヒット信号HIT1～HITNのいずれかがハイレベルのとき、ハイレベルの保持イネーブル信号HEBを検出位置登録部140に出力することが可能となる。

検出位置登録部140は、保持イネーブル信号HEBがハイレベルのアクティブレベルのとき、メモリ/BS-I/F110から入力されている読み出しポインタRDPをレジスタ1～レジスタMの対応するものに記憶する。これによって、検出したエントリーパターンのうち、必要なものについてのみ、検出位置（マッチポジション）の登録をレジスタ1～レジスタMに行うことができる。換言すれば、検出対象のパターンの分だけレジスタ1～レジスタMを準備すればよいから、パターン検出装置100のハードウェアリソースを有効に使用することができる。

以下、具体例に基づき本実施形態のパターン検出装置100の動作を述べる。

メモリ/BS-I/F110から本実施形態のパターン検出装置100に入力される入力データINDは、所定の符号化規格、例えば、MPEG規格に従って圧縮符号化された動画像または音声データである。圧縮符号化されたデータがメモリまたは他の記録媒体から読み出されて、メモリ/BS-I/F110を介して、ビットストリーム、すなわち、連続したデータの系列となった形態で、本実施形態のパターン検出装置100に供給される。また、当該ビットストリームと同時に、検出位置を示す読み出しポインタRDPも出力される。当該読み出しポインタRDPは、メモリからデータINDを読み出すときのポインタ（たとえば、読み出しアドレス）、または、所定の時点を開始点として、読み出しごとに所

定の単位で増加するカウント値である。

MPEG規格に従って圧縮符号化されたビットストリームは、図3Aに示すように、パケット単位で区分されている。図3Aでは、MPEG規格に従った動画像および音声データの一例を示している。

図3Aに示すように、符号化データのビットストリームにおいて、パケットヘッダ (packet\_header)、またはシステムヘッダ (system\_header) に続いて、PESパケット (PES\_packet) が配置されている。

パケットヘッダには、パケットヘッダのスタートを示すパケットスタートコードに続いて、パケットデータの属性を示す属性情報などが含まれている。

システムヘッダには、システムヘッダのスタートを示すシステムヘッダスタートコードに続いて、属性情報などが含まれている。

PESパケットは、ビデオデータ即ち圧縮符号化された動画像データからなるものと、オーディオデータ、すなわち、圧縮符号化された音声データからなるものがある。それぞれのPESパケットの先頭に、当該パケットのスタートを示すビデオストリームスタートコード (video stream start code) またはオーディオストリームスタートコード (audio stream start code) が配置されている。

図4はシステムレーヤのストリーム識別番号 (ストリームID) の例を示している。図5はビデオレーヤのスタートコードの例を示している。なお、図4、図5に示すストリームIDまたはスタートコードは、3バイトのコード [0x000001] に続いて配置されている。

図6は各レーヤのスタートコードを検出するためのエントリーパターンを示す図である。図6に示すように、パケットスタートコードを検出するためのエントリーパターンは、32ビット (4バイト) のデータ [0x0000001ba] であり、システムヘッダスタートコードを検出するためのエントリーパターンは、

4バイトのデータ [0x000001bb] である。

また、オーディオストリームスタートコードを検出するためのエントリーパターンは、4バイトのデータ [0x000001c-] または [0x000001d-] となり、ビデオストリームスタートコードを検出するためのエントリーパターンは、4バイトのデータ [0x000001e-] となる。ここで、ハイフン「-」は、16進数の [0~9, a~f (aは10進数の10, fは10進数の15に対応している)] の何れかの4ビットのデータを意味する。

本実施形態のパターン検出装置100において、複数の比較部120-1～120-Nに対して、予め検出したいエントリーパターンEPT1～EPTN及びそれに対応するフラグ信号FLG1～FLGNが設定される。上述したように、エントリーパターンがエントリーパターン保持部124に保持され、フラグ信号がフラグ保持部126に保持されている。このため、それぞれの比較部において、比較器122によってメモリ/BS-I/F110から提供される入力データINDとエントリーパターンとの比較が行われ、その結果、入力データINDとエントリーパターンが一致したとき、ヒット信号HIT1が出力され、そのとき、フラグ保持部126から保持しているフラグFLG1を制御信号として出力される。

図7は本実施形態のパターン検出装置100において、検出したいエントリーパターンEPT1～EPTNおよびそれぞれのエントリーパターンに対応するフラグ信号FLG1～FLGNの一例を示している。

なお、本例では、フラグ信号FLG1～FLGNは、たとえば、2ビットのデータからなり、図7に示すようにこれらの2ビットがそれぞれ、RSフリップフロップ133を制御する、セット信号SETとクリア信号（またはリセット信号）CLRである。

フラグ信号が図1に示すフラグ保持部126に保持される。前述したように、フラグ保持部126がフラグ信号FLG1～FLGNに応じて、制御信号CTL

1～CTL N、すなわち、セット信号SET 1～SET Nとクリア信号CLR 1～CLRNを生成する。

図7に示すように、フラグ信号は(1, 1)、(1, 0)、(0, 1)及び(0, 0)の4つの状態をとる。各状態の内容を下記のとおりである。

(1) フラグ信号が(1, 0)のとき、セット信号がアクティブ状態、たとえば、ハイレベルに保持され、クリア信号が非アクティブ状態、すなわち、ローレベルに保持される。

(2) フラグ信号が(0, 1)のとき、セット信号が非アクティブ状態、すなわち、ローレベルに保持され、クリア信号がアクティブ状態、すなわち、ハイレベルに保持される。

(3) フラグ信号が(0, 0)のとき、セット信号およびクリア信号がともに非アクティブ状態に保持される。このため、パターン検出窓信号PDWの状態が変化しない。

(4) フラグ信号(1, 1)は禁止状態である。

次いで、図7を参照しつつ、エントリーパターン及びそれに対応するフラグ信号の具体例について説明する。

図7に示すように、まず、パケットスタートコード、すなわち、32ビットのエントリーパターン[0x000001ba]に対応するフラグ信号が(1, 0)に設定されている。

次に、ビデオストリームスタートコード、すなわち、エントリーパターン[0x000001e-]に対応するフラグ信号が(0, 1)に設定されている。同様に、オーディオストリームスタートコード、即ちエントリーパターン[0x000001c-]または[0x000001d-]に対応するフラグ信号がともに(0, 1)に設定されている。そして、エントリーパターン[0x000001b-]に対応するフラグ信号が(0, 0)に設定されている。

次に、図7に示すエントリーパターン及びそれに対応するフラグ信号に応じて

、本実施形態のパターン検出装置100の検出動作について説明する。

図7に示すように設定されたエントリーパターンとそれに対応するフラグ信号に応じて、本実施形態のパターン検出装置100は、入力されるデータストリームからエントリーパターンと一致するデータ系列を検出し、さらにそれぞれのエントリーパターンに対応するフラグ信号に応じて、それぞれの検出位置、即ち、マッチポジションを検出位置登録部140の対応するレジスタに登録する。

具体的に、たとえば、パケットスタートコード、即ち、エントリーパターン[0x000001ba]と一致するデータ系列が検出したとき、当該エントリーパターンに対応するフラグ信号が(1, 0)であるので、パターン検出／非検出制御部130において、パターン検出窓信号PDWがアクティブ状態、たとえば、ハイレベルに保持され、これに応じて、パターン検出／非検出制御部130によってアクティブ状態の保持イネーブル信号HEBが出力される。このため、検出位置登録部140において、パケットスタートコードに対応するマッチポジションが対応するレジスタに登録される。

そして、図8に示すように、パケットスタートコードを先頭とするパケットヘッダに続いてPESパケット入力される。PESパケットの先頭にビデオストリームスタートコードが配置されている。すなわち、エントリーパターン[0x000001e-]によって、EPSパケットの先頭にあるビデオストリームスタートコードが検出される。このとき、パターン検出／非検出制御部130において、パターン検出窓信号PDWがアクティブ状態にあるので、図3に示すように、ヒット信号HITに応じて、保持イネーブル信号HEBが出力される。これに応じて、検出位置登録部140において、マッチポジションが登録される。また、図7に示すように、エントリーパターン[0x0000001e-]に対応するフラグ信号が(0, 1)に設定されているので、パターン検出／非検出制御部130において、パターン検出窓信号PDWが非アクティブ状態、たとえば、図3に示すように、ローレベルに切り替えられる。このため、PESパケットの期間

中にエントリーパターン、たとえば、ユーザデータスタートコード [0x000001b2]、グループスタートコード [0x0000001b8] などに応じて検出されたヒット信号HITが無効になるので、これらのエントリーパターンに対応するマッチポジションの登録が行われない。

上述したように、本実施形態のパターン検出装置100において、パケットスタートコードに対応するエントリーパターン [0x000001ba] が検出されたとき、当該エントリーパターンに対応するフラグ信号(1, 0)に応じてパターン検出窓信号PDWがアクティブ状態に設定されるので、パターン検出／非検出制御部130により、ヒット信号HITに応じて保持イネーブル信号HEBが出力される。このため、検出位置登録部140において、エントリーパターンに応じたマッチポジションがレジスタに登録される。そして、PESパケットの先頭にあるビデオストリームスタートコードが検出されたとき、エントリーパターン [0x000001e-] に対応するフラグ信号が(0, 1)に設定されているため、パターン検出窓信号PDWが非アクティブ状態に設定され、これに応じてそれ以降にヒット信号HITが出力されても、マッチポジションの登録が行われないので、必要なマッチポジションのみが登録され、検出位置登録部140のハードウェアリソース、たとえば、レジスタの効率化が図れる。

また、本実施形態のパターン検出装置100を用いれば、上述したように、パケットスタートコードに続いてビデオストリームのPESパケットが入力される場合は勿論、パケットスタートコードに続いてシステムヘッダ及びオーディオストリームのPESパケットが入力される場合でも、パターン検出／非検出制御部130において、パターン検出窓信号PDWが正しく制御され、必要なヒット信号のみに対してマッチポジションの登録を行うことができる。

図3に示すように、パケットヘッダに続いて、システムヘッダおよびオーディオストリームのPESパケットが入力される場合、まずパケットヘッダの先頭にあるパケットストリームコードがエントリーパターン [0x000001ba]

によって検出される。そして、当該検出したマッチポジションが検出位置登録部 140においてレジスタに登録される。また、このときのエントリーパターンに対応するフラグ信号が(1, 0)であるため、パターン検出／非検出制御部 130においてパターン検出窓信号PDWがアクティブ状態に設定される。

次いで、図3に示すように、システムヘッダの先頭にあるシステムヘッダスタートコードがエントリーパターン[0x0000001b-]によって検出される。また、図7に示すように、エントリーパターン[0x0000001b-]に対応するフラグ信号が(0, 0)であるため、この検出によってパターン検出／非検出制御部 130のパターン検出窓信号PDWの状態が変わらず、アクティブ状態のままに保持される。

システムヘッダに続いてオーディオストリームのPESパケットが入力されたとき、その先頭にあるオーディオストリームスタートコードがエントリーパターン[0x0000001c-]または[0x0000001d-]によって検出される。図7に示すように、エントリーパターン[0x0000001c-]または[0x0000001d-]に対応するフラグ信号が(0, 1)である。このため、オーディオストリームスタートコードの検出により、パターン検出／非検出制御部 130のパターン検出窓信号PDWが非アクティブ状態に切り替えられる。これによって、オーディオストリームのPESパケットの期間中に、他のエントリーパターンによってヒット信号HITが得られても、保持イネーブル信号HEBが出力されることなく、マッチポジションの登録が行われない。

以上説明したように、本実施形態のパターン検出装置100によれば、それぞれの比較部において、エントリーパターン保持部124およびフラグ保持部126によって、検出したいエントリーパターンとそれに対応するフラグ信号が記憶され、比較器122によって入力データINDとエントリーパターン保持部124により保持されているエントリーパターンとが比較され、一致したときヒット信号が出力され、フラグ保持部126により保持されフラグ信号に応じて制御信

号が出力され、パターン検出／非検出制御部130においてヒット信号および制御信号に従って、必要なエントリーパターンが検出したときのみ保持イネーブル信号HEBが出力され、これに応じてそのエントリーパターン及び検出位置が検出位置登録部140に登録される。このため、必要なヒット検出に対してのみその検出位置を登録することができ、検出位置を登録するための検出位置登録部140内のレジスタなどのハードウェアリソースを効率よく利用すること可能となる。

本発明の実施に際しては、上述した例示に限定されず、当業者が行う種々の代替技術を適用できる。

たとえば、検出位置登録部140内の複数のレジスタ1～レジスタMを、RAMなどの半導体記憶装置に置き換えることができる。

各比較部120-1～120-Nにおける、エントリーパターン保持部124およびフラグ保持部126に、それぞれ、パターン検出装置100の外部から対応するエントリーパターンETPとフラグFLGとを入力して、これらエントリーパターン保持部124およびフラグ保持部126に保持する場合を例示したが、エントリーパターンETPとフラグFLGが固定の場合は、そのようなデータを事前に保持させておくことができる。その場合は、エントリーパターン保持部124およびフラグ保持部126は半導体メモリなどで構成することができる。その場合、フラグ保持部126は、比較器122から第1ヒット信号HIT1が出力されたとき、保持しているフラグFLG1を出力する機能、すなわち、ゲート機能を有していればよい。

このように、エントリーパターン保持部124およびフラグ保持部126を、たとえば、半導体メモリで実現した場合、各比較部120-1～120-N内のエントリーパターン保持部124およびフラグ保持部126を1つの半導体メモリで実現することもできる。したがって、図1の構成例は概念的なものであり、実際は、複数の比較部120-1～120-N内の複数のエントリーパターン保

持部124および複数のフラグ保持部126を1個の半導体メモリなどで構成することができる。

また、図1に図解した本発明のパターン検出装置を1個の半導体集積装置として構成することができる。

メモリ／BS-I/F110から入力されるデータとして、MPEGで符号化されたビデオ信号を例示したが、本発明のパターン検出装置の適用対象は、ビデオ信号などに限定されない。

たとえば、メモリに記憶されたデータの中から、検索対象となるデータを複数抽出するような場合でもよい。そのような場合、図1を参照して述べた読み出しポインタRDPは、そのメモリの読み出しアドレスなどに該当する。

以上述べたように、本発明のパターン検出装置によれば、それぞれのエントリーパターン（検索対象パターン）に対応して設定されたフラグ信号に従って、必要なマッチポジションのみを登録し、それ以外のマッチポジションを破棄することができるので、マッチポジション（検出位置）を登録する回路のリソース、即ち、エントリーパターン及びそれに対応するマッチポジションを記憶するレジスタまたはメモリを効率よく使用することができる。

また、本発明によれば、必要な空間のみにおいてパターン検出を行うことができ、検出不要な区間ににおいて一致検出信号を無視することができ、処理のオーバーヘッドを削減できるという利点がある。

## 請求の範囲

1. 入力されるデータのうち、所定のパターンのデータを検出して、その検出したデータの位置を保存するパターン検出装置であって、

検出の対象となる数（N）に対応する複数の比較手段（122-1～122-N）と、パターン検出制御手段（130）と、

検出の対象となる数（M）分に対応する複数の保持部分を有する検出位置登録手段（140）と、

を具備し、

前記複数の比較手段（122-1～122-N）の各々は、

検出の対象となるデータパターンを保持している検出パターンデータ保持部（124）と、

該検出の対象となるデータパターンに対応する、パターン検出窓（PDW）を規定する情報をフラグ信号（FLG）を保持しているフラグ保持部（126）と、

前記入力データと前記検出パターンデータ保持部（124）から出力される検出の対象となるデータパターンとを比較して、一致しているとき一致信号（HIT）を出力する比較部（122）と

を有し、

前記フラグ保持部（126）は前記一致信号が出力されたとき保持しているフラグ（FLG1）を前記パターン検出手段（130）に出力し、

前記パターン検出制御手段（130）は、

前記複数の比較手段（122-1～122-N）のいずれかから一致信号が出力されたとき、前記各比較手段（122-1～122-N）の比較部から出力されたフラグ信号（FLG）に基づいてパターン検出窓信号（PDW）を生成して前記検出位置登録手段（140）に出力し、

前記検出位置登録手段（140）は、前記入力されるデータの位置を示す情報を前記複数の保持部分に順次保持する、  
パターン検出装置。

2. 前記パターン検出制御手段（130）は、

前記複数の複数の比較手段（122-1～122-N）から出力される複数の一一致信号（第1ヒット信号HIT1）の論理和を演算し、複数の一一致信号のうちいずれかの一一致信号がイネーブル状態のとき、イネーブル状態の総合一致信号（HIT）を出力する、第1論理和演算回路（131）と、

前記複数の比較手段（122-1～122-N）から出力される、フラグ信号（FLG）に含まれる複数のセット信号（SET）の論理和を演算し、複数のセット信号のうちいずれかイネーブル状態を示す場合、イネーブル状態のセット信号を出力する第2論理和演算回路（132-1）と、

前記複数の比較手段（122-1～122-N）から出力される、フラグ信号（FLG）に含まれる複数のクリア信号（CLR）の論理和を演算し、複数のクリア信号のうちいずれかイネーブル状態を示す場合、イネーブル状態のクリア信号を出力する第3論理和演算回路（132-2）と、

前記第2論理和演算回路（132-1）から出力されるイネーブル状態のセット信号に応じて前記パターン検出窓信号（PDW）をアクティブ状態にし、前記第3論理和演算回路（132-2）から出力されるイネーブル状態のクリア信号に応じて前記パターン検出窓信号（PDW）を非アクティブ状態にする、パターン検出窓信号生成手段（133）と、

前記パターン検出窓信号生成手段（133）から出力されるパターン検出窓信号（PDW）がイネーブル状態で、前記第1論理和演算回路（131）から出力される前記総合一致信号（HIT）がイネーブル状態のとき、保持イネーブル信号（HEB）を出力する、論理和回路（134）と

を具備する、

請求項 1 に記載のパターン検出装置。

3. 前記検出位置登録手段（140）は、前記検出対象のパターンの数に対応したレジスタを有する、

請求項 1 または 2 に記載のパターン検出装置。

4. 前記検出位置登録手段（140）は、前記検出対象のパターンの数に対応した容量のメモリ手段である、

請求項 1 または 2 に記載のパターン検出装置。

5. 上記入力データは、MPEG 規格に従って圧縮符号化された画像データ及び音声データである、

請求項 1 ~ 4 いずれかに記載のパターン検出装置。

6. 上記検出対象パターンは、前記MPEG 規格に従って圧縮符号化されたデータに含まれているパケットの先頭を示す識別データに応じて設定される、

請求項 4 に記載のパターン検出装置。

7. 検出対象となるエントリーパターンを保持するする検出パターン記憶手段と、

上記各エントリーパターンに対応するフラグ信号を記憶するフラグ記憶手段と、

入力されるデータと上記検出パターン記憶手段に記憶されているエントリーパターンとを比較する比較手段と、

上記比較手段による比較の結果、上記入力データと上記エントリーパターンとが一致したとき、上記フラグ記憶手段に記憶されている当該エントリーパターンに対応するフラグ信号に応じて、上記検出位置を記憶する検出位置記憶手段と

を有するパターン検出回路。

8. 上記比較手段によって上記入力データと上記エントリーパターンとが一致すると判断した場合、上記エントリーパターンに対応する上記フラグ信号が検出

位置を記憶することを示すとき、パターン検出窓信号をアクティブ状態に設定し、上記エントリーパターンに対応する上記フラグ信号が検出位置を記憶しないことを示すとき、上記パターン検出窓信号を非アクティブ状態に設定する検出位置記憶制御手段

をさらに有する請求項 1 記載のパターン検出回路。

9. 上記検出位置記憶手段は、上記パターン検出窓信号がアクティブ状態にあるとき、上記エントリーパターンの検出位置を記憶し、上記パターン検出窓信号が非アクティブ状態にあるとき、上記エントリーパターンの検出位置を記憶しない

請求項 2 記載のパターン検出回路。

10. 上記入力データは、M P E G 規格に従って圧縮符号化された画像データ及び音声データである

請求項 1 記載のパターン検出回路。

11. 上記エントリーパターンは、上記圧縮符号化されたデータに含まれているパケットの先頭を示す識別データに応じて設定される、請求項 2 記載のパターン検出装置。

FIG.

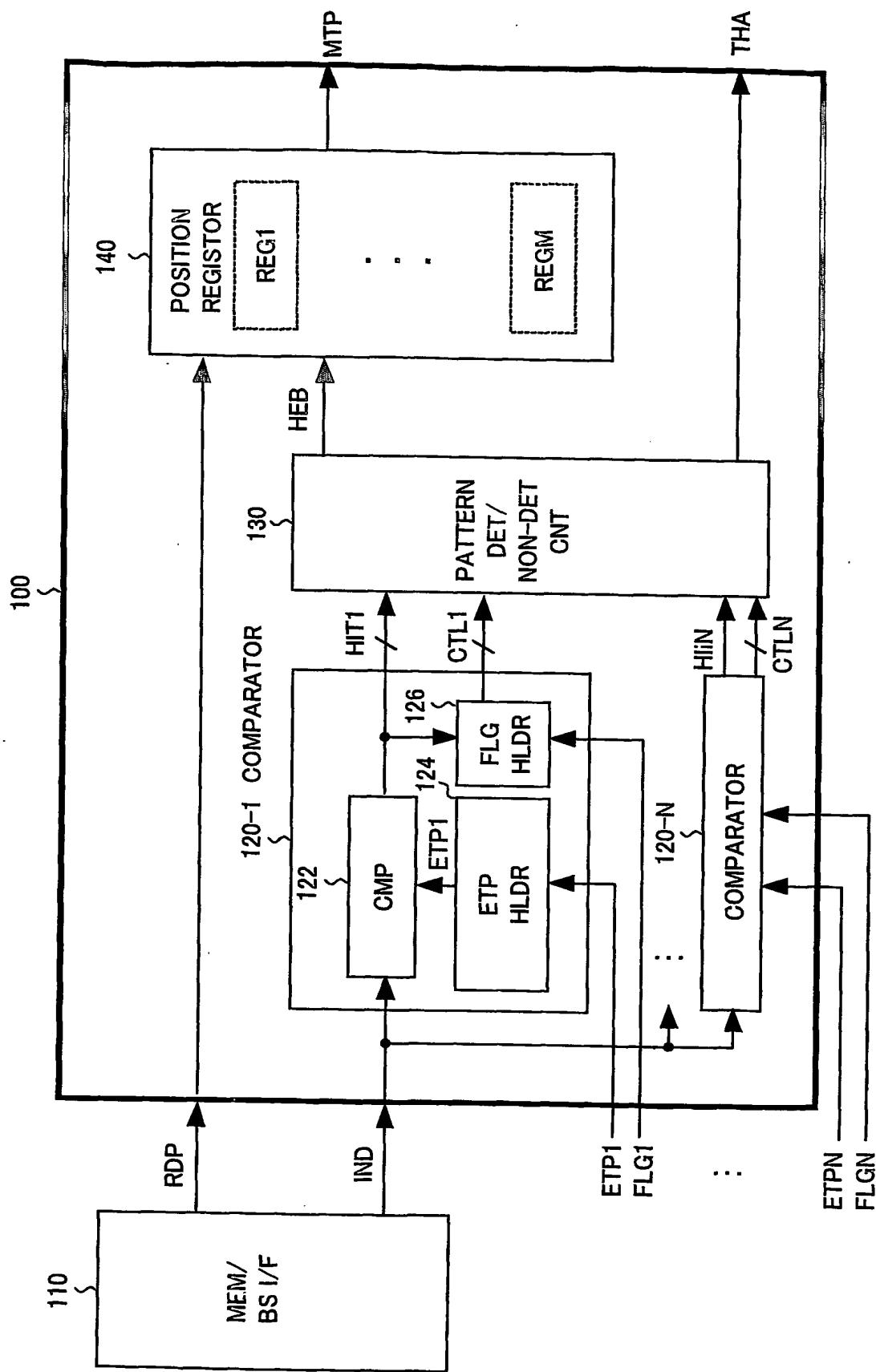
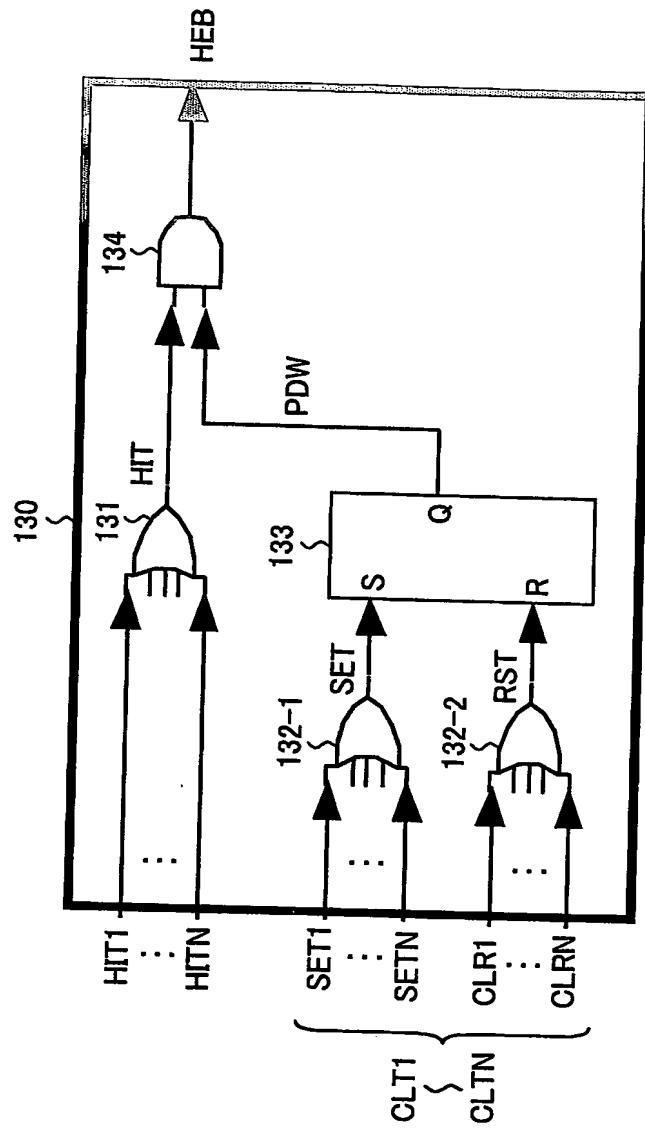
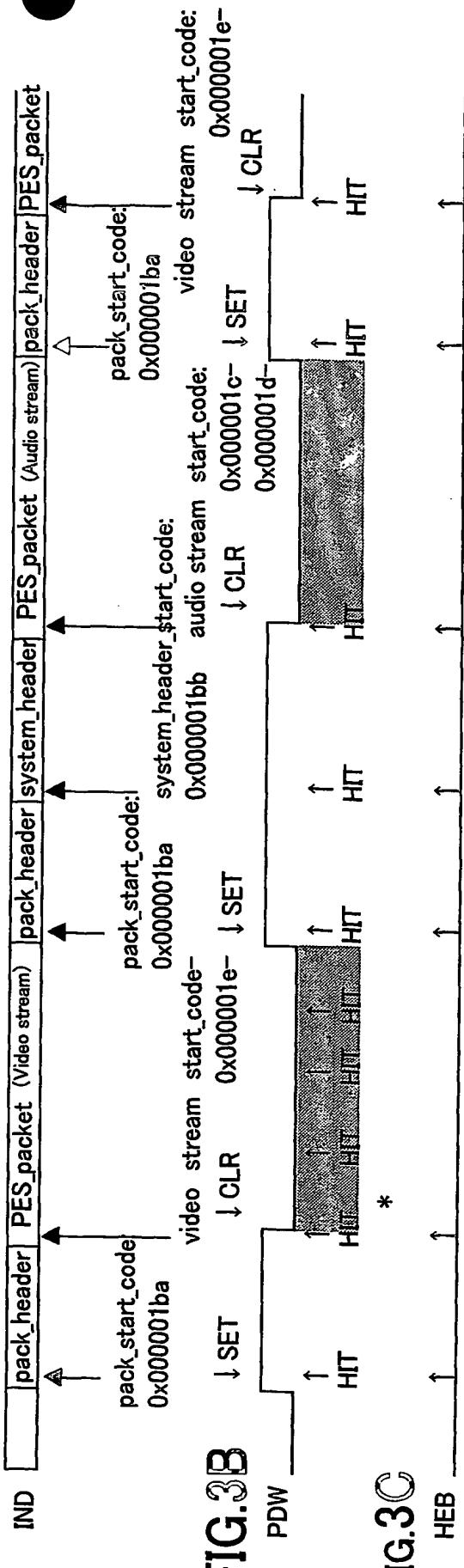


FIG. 2



**FIG. 3A**



3 / 7

## FIG. 4

## Layer's Stream ID

bc	program_stream_map
bd	private_stream_1
be	padding_stream
bf	private_stream_2
c-,d-	13818-3 or 11172-3 Audio Stream
e-	13818-2 (H.262) or 11172-2 Video Stream
f0	ECM_stream
f1	EMM_stream
f2	13818-1 (H.220)
f3	13522_stream
f4	H.222.1 type A
f5	H.222.1 type B
f6	H.222.1 type C
f7	H.222.1 type D
f8	H.222.1 type E
f9	ancillary_stream
ff	program_stream_directory

## FIG. 5

### Layer's Start Code :

00	picture_start_code
01~af	slice_start_code
b2	user_date_start_code
b2	sequence_header_code
b4	sequence_error_code
b5	extention_start_code
b7	sequence_end_code
b8	group_start_code

## FIG. 6

### Each Layer's Start Code :

pack_start_code	0x000001ba
system_header_start_code	0x000001bb
audio stream start_code	0x000001c- or 0x000001d-
video stream start_code	0x000001e-

**FIG. 7**

<b>Entry Pattern</b>	<b>Flag ( Set , Clr )</b>
<b>0x0000_01ba</b>	<b>(1, 0)</b>
<b>0x0000_01e</b>	<b>(0, 1)</b>
<b>0x0000_01c</b>	<b>(0, 1)</b>
<b>0x0000_01d</b>	<b>(0, 1)</b>
<b>0x0000_01b</b>	<b>(0, 0)</b>

## 符号リスト

- 1 0 0 … パターン検出回路
- 1 1 0 … メモリ／ビットストリームインターフェース
- 1 2 0 - 1, …, 1 2 0 - N … 比較部
- 1 2 2 … 比較器
- 1 2 4 … エントリーパターン保持部
- 1 2 6 … フラグ保持部
- 1 3 0 … パターン検出／非検出制御部
- 1 4 0 … 検出位置登録部

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2004/001894

**A. CLASSIFICATION OF SUBJECT MATTER**

Int.C1<sup>7</sup> G06F7/04, H04L7/08, G11B20/14, H04N7/24

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int.C1<sup>7</sup> G06F7/04, H04L7/08, G11B20/14, H04N7/24, G06F17/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
 Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004  
 Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-335162 A (Matsushita Electric Industrial Co., Ltd.), 22 November, 2002 (22.11.02), Par. Nos. [0009], [0018] to [0022] (Family: none)	1-11
A	JP 2002-99407 A (Toshiba Corp.), 05 April, 2002 (05.04.02), Par. Nos. [0003], [0021] to [0024] (Family: none)	1-11
A	JP 2002-142192 A (Sony Corp.), 17 May, 2002 (17.05.02), & US 2002-71491 A1	1-11

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance
"E"	earlier application or patent but published on or after the international filing date
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O"	document referring to an oral disclosure, use, exhibition or other means
"P"	document published prior to the international filing date but later than the priority date claimed
"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&"	document member of the same patent family

Date of the actual completion of the international search  
07 May, 2004 (07.05.04)

Date of mailing of the international search report  
25 May, 2004 (25.05.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Faxsimile No.

Telephone No.

## A. 発明の属する分野の分類(国際特許分類(IPC))

Int. C17 G06F 7/04, H04L 7/08, G11B 20/14, H04N 7/24

## B. 調査を行った分野

## 調査を行った最小限資料(国際特許分類(IPC))

Int. C17 G06F 7/04, H04L 7/08, G11B 20/14, H04N 7/24  
G06F 17/30

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

## 国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-335162 A (松下電器産業株式会社) 2002.11.22, 段落0009, 段落0018-0022 (ファミリーなし)	1-11
A	JP 2002-99407 A (株式会社東芝) 2002.04.05, 段落0003, 段落0021-0024 (ファミリーなし)	1-11
A	JP 2002-142192 A (ソニー株式会社) 2002.05.17, & US 2002-71491 A1	1-11

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

## 国際調査を完了した日

07.05.2004

## 国際調査報告の発送日

25.5.2004

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

田中 友章

5 E 9376

電話番号 03-3581-1101 内線 3520